

【特許請求の範囲】

【請求項1】 電子回路において、

選択的に形態特定可能な差動信号インターフェース、前記選択的に形態特定可能な差動信号インターフェースの形態特定のために複数個のスタンダードな差動信号インターフェースのうちの1つを選択するための選択制御入力、を有していることを特徴とする電子回路。

【請求項2】 請求項1において、前記選択制御入力が、前記選択的に形態特定可能な差動信号インターフェースの形態特定のために、以下の複数個のスタンダードな差動信号インターフェース、即ち、減少スイング差動伝送(RS DS)、低電圧差動伝送(LV DS)、ミニ低電圧差動伝送(ミニLV DS)、バス型低電圧差動伝送(BL VDS)、のうちの1つを選択することを特徴とする電子回路。

【請求項3】 請求項1において、更に、前記選択制御入力及び前記選択的に形態特定可能な差動信号インターフェースへ電気的に結合されており、前記選択制御入力における入力信号に応答して、前記選択的に形態特定可能な差動信号インターフェースに対して動作DC電圧、スタンダードな差動信号電圧、スタンダードな差動信号電流のうちの少なくとも1つを選択するための複数個の選択可能な電圧供給源及び複数個の選択可能な電流供給源、を有していることを特徴とする電子回路。

【請求項4】 請求項1において、更に、前記選択制御入力及び前記選択的に形態特定可能な差動信号インターフェースへ電気的に結合されており、前記選択的に形態特定可能な差動信号インターフェースに対して動作DC電圧及びスタンダードな差動信号電圧のうちの少なくとも1つを選択するための選択可能な電圧制御回路を有していることを特徴とする電子回路。

【請求項5】 請求項4において、前記動作DC電圧及びスタンダードな差動信号電圧のうちの少なくとも1つが、以下の複数個のスタンダードな差動信号インターフェース、即ち減少スイング差動伝送(RS DS)、低電圧差動伝送(LV DS)、ミニ低電圧差動伝送(ミニLV DS)、

バス型低電圧差動伝送(BL VDS)、から前記選択的に形態特定可能な差動信号インターフェースを形態特定するために選択可能であることを特徴とする電子回路。

【請求項6】 請求項1において、更に、前記選択制御入力及び前記選択的に形態特定可能な差動信号インターフェースへ電気的に結合されており、前記選択的に形態特定可能な差動信号インターフェースに対して少なくとも1個のスタンダードな差動信号電流を選択するための選択可能な電流制御回路を有していることを特徴とする電子回路。

【請求項7】 請求項6において、前記少なくとも1個のスタンダードな差動信号電流が、以下の複数個のスタ

ンダードな差動信号インターフェース、即ち減少スイング差動伝送(RS DS)、

低電圧差動伝送(LV DS)、ミニ低電圧差動伝送(ミニLV DS)、バス型低電圧差動伝送(BL VDS)、から前記選択的に形態特定可能な差動信号インターフェースを形態特定するために選択可能であることを特徴とする電子回路。

【請求項8】 電子回路において、少なくとも2つの選択からスタンダードな差動インターフェースを選択するための少なくとも2個の制御線、

前記制御線へ電気的に結合されており、選択したスタンダードな差動インターフェースに従って電圧基準を供給するための少なくとも2個の選択可能な電圧供給源、前記制御線へ電気的に結合されており、選択したスタンダードな差動インターフェースに従って電流を供給するための少なくとも2個の選択可能なカレントミラー、前記少なくとも2個の選択可能なカレントミラー及び前記少なくとも2個の選択可能な電圧供給源へ電気的に結合されており、前記少なくとも2個の選択可能な電圧供給源のうちの1つの電圧基準を第二電圧と比較するオペアンプ、

前記オペアンプ及び前記少なくとも2個の選択可能なカレントミラーは電気的に結合しており、第一及び第二入力信号を受取り且つ選択したスタンダードな差動インターフェースに従って一対の差動信号を供給する電流操縦回路、を有していることを特徴とする電子回路。

【請求項9】 請求項8において、前記スタンダードな差動インターフェースが以下の複数個のスタンダードな差動信号インターフェース、即ち、

30 減少スイング差動伝送(RS DS)、低電圧差動伝送(LV DS)、ミニ低電圧差動伝送(ミニLV DS)、バス型低電圧差動伝送(BL VDS)、のうちのいずれか1つであることを特徴とする電子回路。

【請求項10】 電子的ラインドライバ回路を有する回路支持基板において、

少なくとも2つの選択からスタンダードな差動インターフェースを選択する少なくとも2つの制御線、前記制御線へ電気的に結合しており、スタンダードな差動インターフェースに従って電圧基準を供給する少なくとも2個の選択可能な電圧供給源、

前記制御線へ電気的に結合しており、スタンダードな差動インターフェースに従って電流を供給する少なくとも2個の選択可能なカレントミラー、前記少なくとも2個の選択可能なカレントミラー及び前記少なくとも2個の選択可能な電圧供給源へ電気的に結合しており、前記少なくとも2個の選択可能な電圧供給源のうちの1つの電圧基準を第二電圧と比較するオペアンプ、

前記オペアンプ及び前記少なくとも2個の選択可能なカ

レントミラーへ電気的に結合しており、第一及び第二入力信号を受取り且つ選択したスタンダードの差動インターフェースに従って一对の差動信号を供給する電流操縦回路、を有していることを特徴とする回路支持基板。

【請求項11】 請求項10において、前記スタンダードの差動インターフェースが、以下のうちのいずれか1つ、即ち、

減少スイング差動伝送（RSDS）、

低電圧差動伝送（LVDS）、

ミニ低電圧差動伝送（ミニLVDS）、

バス型低電圧差動伝送（BLVDS）、から選択することを特徴とする回路支持基板。

【請求項12】 ビデオディスプレイモニタシステムにおいて、

ビデオディスプレイモニタ、

前記ビデオディスプレイモニタに電気的に結合しており、前記ビデオディスプレイモニタの行にわたって画像情報を表示する行ドライバ、

前記ビデオディスプレイモニタに電気的に結合しており、前記ビデオディスプレイモニタの列にわたって画像情報を表示する列ドライバ、

前記行ドライバと列ドライバとに電気的に結合しており、前記行及び列ドライバへ画像データを送給するタイミング制御器、

前記タイミング制御器へ電気的に結合しており、差動形態で画像データを受取り且つ前記画像データをシングルエンド形態へ変換するディスプレイリンクレシーバー、前記ディスプレイリンクレシーバーへ電気的に結合しており、少なくとも2つの選択からスタンダードの差動インターフェースを選択する少なくとも2個の制御線と、前記制御線へ電気的に結合しており、スタンダードの差動インターフェースに従って電圧基準を選択する少なくとも2つの選択可能な電圧供給源と、前記制御線へ電気的に結合しており、スタンダードの差動インターフェースに従って電流を供給する少なくとも2つの選択可能なカレントミラーと、前記少なくとも2つの選択可能なカレントミラー及び前記少なくとも2つの選択可能な電圧供給源のうちの1つの電圧基準を第二電圧と比較するオペアンプと前記オペアンプ及び前記少なくとも2つの選択可能なカレントミラーへ電気的に結合しており、第一及び第二入力信号を受取り且つ選択したスタンダードの差動インターフェースに従って一对の差動信号を供給する電流操縦回路とを有しているディスプレイリンクドライバ、

前記ディスプレイリンクドライバへ電気的に結合しており、画像データを発生するグラフィック制御器、を有していることを特徴とするビデオディスプレイモニタシステム。

【請求項13】 請求項12において、前記行ドライバ

が、

少なくとも2つの選択からスタンダードの差動インターフェースを選択する少なくとも2つの制御線、前記制御線へ電気的に結合しており、スタンダードの差動インターフェースに従って電圧基準を供給する少なくとも2つの選択可能な電圧供給源、前記制御線へ電気的に結合しており、スタンダードの差動インターフェースに従って電流を供給する少なくとも2つの選択可能なカレントミラー、

10 前記少なくとも2つの選択可能なカレントミラー及び前記少なくとも2つの選択可能な電圧供給源へ電気的に結合しており、前記少なくとも2つの選択可能な電圧供給源のうちの1つの電圧基準を第二電圧と比較するオペアンプ、

前記オペアンプ及び前記少なくとも2つの選択可能なカレントミラーへ電気的に結合しており、第一及び第二入力信号を受取り且つ選択したスタンダードの差動インターフェースに従って一对の差動信号を供給する電流操縦回路、を有していることを特徴とするビデオディスプレイモニタシステム。

【請求項14】 請求項12において、前記列ドライバが、

少なくとも2つの選択からスタンダードの作動インターフェースを選択する少なくとも2つの制御線、前記制御線へ電気的に結合しており、スタンダードの差動インターフェースに従って電圧基準を供給する少なくとも2つの選択可能な電圧供給源、

20 前記制御線へ電気的に結合しており、スタンダードの差動インターフェースに従って電流を供給する少なくとも2つの選択可能なカレントミラー、

前記少なくとも2つの選択可能なカレントミラー及び前記少なくとも2つの選択可能な電圧供給源へ電気的に結合しており、前記少なくとも2つの選択可能な電圧供給源のうちの1つの電圧基準を第二電圧と比較するオペアンプ、

前記オペアンプ及び前記少なくとも2つの選択可能なカレントミラーへ電気的に結合しており、第一及び第二入力信号を受取り且つ選択したスタンダードの差動インターフェースに従って一对の作動信号を供給する電流操縦回路、を有していることを特徴とするビデオディスプレイモニタシステム。

【請求項15】 請求項12において、前記ビデオディスプレイモニタがLCDフラットパネルモニタを有していることを特徴とするビデオディスプレイモニタシステム。

【請求項16】 請求項12において、前記ビデオディスプレイモニタが陰極線管（CRT）を有していることを特徴とするビデオディスプレイモニタシステム。

【発明の詳細な説明】

50 【0001】

【発明の属する技術分野】本発明は、トランジスタドライバ回路の分野に関するものであって、更に詳細には、バックプレーン適用用の多様な減少スイング差動信号・低電圧差動信号・ミニ低電圧差動信号・バス低電圧差動信号インターフェース回路に関するものである。

【0002】

【従来の技術】コンピュータ、モニタ、フラットパネルディスプレイ等の多様な電子装置は、2つの電子信号線の間の電圧レベルにおける差が送信信号を形成する高速差動データ伝送を使用している。差動データ伝送は、例えばLCDパネル、フラットパネルディスプレイに対するノートブックホスト、及びバックプレーンラック・ツー・ラック装置等の種々のディスプレイモニタへのデータの伝送においてばかりでなく、長距離にわたっての100Mbpsを超えるデータ伝送レートに対して一般的に使用されている。ノイズ信号は接地レベル電圧をシフトさせ且つコモンモード（同相）電圧として表われる。従って、ノイズの悪影響は実質的に減少される。

【0003】このようなデータ伝送を標準化させるために、インターフェース用の多様なスタンダードが開発されている。例えば、このような1つのスタンダードはTIA/EIA-644スタンダード低電圧差動伝送（LVDS）であり、それは米国通信工業会（EIA）及び米国電子工業会（TIA）によって定義されている。このスタンダードは、一対の信号線を介して毎秒ギガビットのデータレート範囲で動作することが可能である。ドライバ回路が該信号線上に信号を配置させる。これらのドライバ回路は、典型的に、 100Ω の抵抗の单一負荷で終端する一対の伝送線を介して 345mV の公称信号スイングで差動信号を送信することが意図されている。

【0004】LVDS方式の人気が毎年増加しているが、コモンモード範囲に制限されていること、及び単一の 100Ω 終端の負荷に意図されていること等の幾つかの制限が存在している。そのために、LVDSもどきの信号方式スタンダードがその他の応用に対して採用されている。その他的一般的な信号方式スタンダードは、バスLVDS（BLVDS）、減少スイング差動伝送（RSDS）、ミニ低電圧差動伝送（ミニLVDS）を含む。

【0005】バスLVDSは、カード負荷及び間隔が伝送線のインピーダンスを高々50%低下する場合の高度に負荷がかけられたバックプレーンをターゲットにすることによりLVDSの利点を拡張している。従って、BLVDSインターフェース用の終端抵抗は 40Ω から 200Ω へ変化する場合があり、一方公称差動信号は 400mV である。BLVDSインターフェースはマルチドロップ、マルチポイント、又はポイントツーポイント適用例に対して使用することが可能である。

【0006】減少スイング差動伝送（RSDS）は 200mV の公称信号スイングを有する差動インターフェー

スである。それは、高いノイズ免疫性、高いデータレート、低いEMI特性、低い電力散逸等のLVDSインターフェースの多くの利点を維持している。然しながら、RSDS適用例は、典型的に、LCDスクリーン用の行列ドライバ等のサブシステム内におけるものである。信号スイングはLVDSから更により低いパワーへ減少されている（従って、RSDSのRSは「減少スイング」である）。RSDSは、典型的に、ポイントツーポイント又はマルチドロップ適用例のコンフィギュレーション（形態）において使用される。

【0007】ミニLVDSは新しい高速シリアルインターフェースであり、それはディスプレイドライバ用の低EMI高帯域幅インターフェースを提供しており、それは、特に、薄膜トランジスタ（TFT）LCDパネル列ドライバに適している。ミニLVDSはポイントツーポイント及びマルチドロップ適用例に使用することが可能である。

【0008】各インターフェーススタンダードは利点を有するものであるが、選択されるスタンダードに拘わらずにドライバの基本的な機能が同じものであるとしても、設計の初期段階において設計者は適切なスタンダードについて決定を行わねばならない。電子装置を設計するための多くの重要な決定はドライバインターフェース

20 に対して選択したスタンダードによって支配される。所定のスタンダードインターフェースで適切に機能するレシーバの多様性は、そのレシーバが選択されたスタンダードに一致するものでなければならないという点において制限されている。その結果、たまたま異なるスタンダードのインターフェースを使用する電子製品を製造する場合には、製造業者等は各スタンダードに対して異なるドライバ要素を在庫しておくことが必要となる。このことは不必要的制限を付加し且つコストを増加させる。

【0009】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、複数のスタンダードに対して多様性を有する電子回路を提供することを目的とする。本発明の別の目的とするところは、バックプレーン適用用の多様なRSDS・LVDS・ミニLVDS・BLVDSドライバ

30 を提供することである。

【0010】

【課題を解決するための手段】本発明の好適な実施形態によれば、例えばRSDS、LVDS、BLVDS、ミニLVDS等の多様なインターフェーススタンダードに対して適切に機能するバーサタイル（多様性）差動インターフェースが提供される。本インターフェースは、複数個の選択制御線を介して選択的にコンフィギュラブル（configurable）、即ち形態特定可能である。このことは、電子回路の設計者が、ただ1つのドライバを使用しながら、データ転送用の多数のレシーバか

ら選択することの多様性を与えることを可能としている。例えば、PC内のグラフィックカードはそのリンクレシーバがLVDSインターフェース又はBLVDSインターフェース用に設計されているモニタと共に動作するように形態特定させることが可能である。

【0011】又、例えばLVDS又はBLVDS等のネットワークリンクインターフェースを介して情報を搬送するために使用される同一のドライバを、例えば、RSDS又はミニLVDS技術を使用して、例えばFPD列ドライバ等のサブシステム用のドライバとして適切に動作すべくコンフィギュア即ち形態特定させることが可能である。

【0012】

【発明の実施の形態】図1を参照すると、本発明の好適実施例の例示的な適用例はフラットパネルディスプレイモニタシステム100において動作する。PC(コンピュータシステム116)内のグラフィックカードは、典型的に、グラフィック制御器124とフレームバッファ120とを包含している。本例によるコンピュータシステム116は、制御器/プロセッサ122を有しており、それは命令を処理し、計算を実行し、且つコンピュータシステム116を介しての情報の流れを管理する。更に、制御器/プロセッサ122は、メモリ118、コンピュータによって読み取可能な媒体ドライブ128、グラフィック制御器124と通信結合されている。グラフィック制御器124はメモリ118内のデータのフレームをレンダリングし、次いでそのデータをアナログへ変換し且つディスプレイリンクドライバ(送信器)126へ送信する。このグラフィック制御器124からのビデオ信号はパラレルTTL(トランジスタトランジスタ論理)又はCMOS(相補的金属酸化物半導体)論理形態でディスプレイリンクドライバ126への入力において受取られる。アナログデータに加えて、水平及び垂直同期信号が送信される。パラレルTTL又はCMOSデータはディスプレイリンクドライバ126によって例えばLVDS等のインターフェース送信スタンダードへ変換され、且つケーブル114を介して液晶ディスプレイ(LCD)モニタ102又は陰極線管(CRT)モニタ(不図示)のディスプレイリンクレシーバ112へ送給される。ディスプレイリンクドライバ126は、以下に説明するように、本発明の好適実施例を包含している。

【0013】受取られたデータは、次いで、ディスクリンクレシーバ112において変換されてTTL又はCMOSレベルへ戻され、タイミング制御器110の入力へ送られる。タイミング制御器110はそのデータを、ビデオ画像を提示するフラットパネルディスプレイスクリーン104の行ドライバ106及び列ドライバ108へ転送する。タイミング制御器110は第二ディスプレイリンクドライバインターフェース(不図示)を介してそのデータを行及び列ドライバ106, 108へ送給する

ことが可能である。この第二ディスプレイリンクドライバインターフェースは、異なるインターフェーススタンダード(典型的に、RSDS又はミニBLVDS)に対してコンフィギュア(configure)即ち形態特定されているディスプレイリンクインターフェース126に対して使用されるのと同一の回路とすることが可能である。

【0014】グラフィック制御器124は、コンピュータによって読み取可能な媒体を介してアップデートを受取る形態とさせることができる。コンピュータによって読み取可能な媒体は、コンピュータシステムが、コンピュータによって読み取可能な媒体からデータ、命令、メッセージ又はメッセージパケット、及びその他のコンピュータによって読み取可能な情報を読み取ることを可能とする。コンピュータによって読み取可能な媒体は、例えば、フロッピィ、ROM、フラッシュメモリ、ディスクドライブメモリ、CD-ROM及びその他の永久的な記憶装置等の非揮発性メモリを包含することが可能である。それは、例えば、コンピュータシステム間において例えばデータ及びコンピュータ命令等の情報を伝達させるのに有用である。更に、コンピュータによって読み取可能な媒体は、コンピュータがこのようなコンピュータによって読み取可能な情報を読み取ることを可能とする有線ネットワーク又は無線ネットワークを包含するネットワークリンク及び/又はネットワークインターフェース等の一時的な状態の媒体におけるコンピュータによって読み取可能な情報を包含することが可能である。

【0015】図2はRSDS/LVDS/ミニLVDS/BLVDSインターフェーススタンダードを使用するバスコンフィギュレーション(形態)に対する典型的なポイントツーポイント(point-to-point)コンフィギュレーション即ち形態を例示している。ポイントツーポイントは最も簡単なバスコンフィギュレーション(形態)である。ソース(ドライバ202)が一端部にあり、ケーブル210等の相互接続媒体があり、且つ他端側には100Ω終端抵抗206及びレシーバ208がある。BLVDSは、更に、ソース側に付加的な終端抵抗204を有している。クリーンな信号経路のために、ポイントツーポイントバスは最も高いデータレートをサポートする。各インターフェーススタンダードの差動出力電圧スイング、公称シングルサイド(single-side)電圧及び出力電流に対する標準的な値を図3に示してある。BLVDSの場合には、以下の通りである。

【0016】 $I_{out} = V_{od} / R_{term}$

尚、 $R_{term} = R_{term(source)} \parallel R_{term(load)} = 50\Omega$ 。

【0017】典型的な低電圧差動信号ドライバ回路400の1例を図4に示してある。一对の差動信号が出力端子416, 418上の出力信号out及びoutbとの間の電圧レベルにおける差によって形成される。本ドライ

バは電圧供給源に結合されている直流(DC)供給源404、4個のNチャンネル金属酸化物半導体トランジスタスイッチ406、408、410、412、共通ノード422と接地との間に結合されている抵抗414を有している。これら4個のトランジスタスイッチ406、408、410、412は入力信号A及びBによって制御される。A及びBは、典型的に、レールツーレール(rail-to-rail)の電圧スイングであり、信号Aはインバータ402を介して通過する結果信号Bは信号Aと位相が180°ずれている。スイッチ406及び412のゲートは入力信号Aを受取るために共通結合され、一方スイッチ408及び410は信号Bを受取る。入力Aが高であり且つBが低である場合には、図4における矢印420によって示される方向に電流が流れ、Bが高であり且つAが低である場合には、電流の流れは逆になり、レシーバ端においての反対の電圧降下が発生する。

【0018】従来のドライバの欠点

D1) 単一のインターフェーススタンダード

図4の回路は1つのスタンダードでのみ動作する。 V_{od} 仕様を満足するために、電流源400からの電流と100Ω終端抵抗424との積は特定のスタンダードに対して図3に示した値と等しくなければならない。その場合の回路は、特定の条件を満足すべく設計された電流源404で製造されねばならない。

【0019】D2) DC仕様

v_{out} 信号及び v_{outb} 信号の V_{ob} 、 V_{o1} 、 V_{os} は終端抵抗414の値、スイッチングトランジスタ406、408、410、412の抵抗、及び電流源404の精度に著しく依存する。温度及び V_{dd} 変化に加えて、抵抗に対する±30%及びCMOSトランジスタスレッシュホールドに対する200mVの典型的なIC製造処理変動の場合には、より高いコストのBiCMOSプロセスを使用することなしに V_{ob} 、 V_{o1} 、 V_{os} に対する厳しいDC仕様を満足させることは非常に困難である。

【0020】D3) AC性能

図5の過渡的な解析において示されるように、出力波形はマルチサイクルスイッチングレベルに起因してDCから下方へのドリフトを示している。回路特性及び異なるプロセスコーナー V_{dd} 及び温度変化に依存して、該出力レベルは上方へドリフトする場合もある。このドリフトはノイズマージンを減少させ且つアイバターンにおける劣化を示す。

【0021】図6及び7は、業界のインターフェーススタンダードに一致する差動信号を送信するためのディスプレイリンクドライバ126において機能する新規な回路の好適実施例を示している。特に、この新規なドライバ126は従来技術の問題を解決しており且つ費用効果的且つ信頼性のある態様で、RSDS、LVDS、ミニLVDS、BLVDSを包含する多様な業界インターフ

エーススタンダードを満足する信号を送信するために回路をコンフィギュア即ち形態特定するオプションを提供している。図6のドライバは1998年5月14日付で出願した米国特許番号第6,111,431号「Backplane Application用LVDSドライバ(LVDS Driver for Backplane Applications)」において示される概念を拡張するものであり、尚その特許の記載内容全体を引用によって本明細書に取込む。この新規なドライバ126の多数の特徴及び利点について以下に説明する。

【0022】幾つかの利点

A1) 全ての従来技術は1つのインターフェーススタンダードに従って実行するに過ぎない。図6のドライバ126は4つのインターフェーススタンダード、即ちRS DS、LVDS、ミニLVDS、BLVDSの条件を満足する。

【0023】A2) 調節可能な抵抗623、624、625、626は異なる適用に対しての外部終端抵抗に一致する。現在のドライバ回路は1つの終端抵抗に一致するに過ぎない。

【0024】A3) 4つのインターフェーススタンダードの条件を満足するために V_{os} は選択可能である。現在のドライバ回路は1つの V_{os} のみを使用してバイアスされる。

【0025】A4) 異なるインターフェーススタンダードを選択することが可能であるという多様性は電流消費においてペナルティを払うものではない。

【0026】図6を参照すると、本発明の好適実施例はミニック回路(MC)631及び駆動回路(DC)632を有している。DCブロック632は米国特許第6,111,431号に従って動作し、該特許は本例に従ってDCブロックの動作の詳細について完全に説明している。新規なMCブロック631はRSDS、LVDS、ミニLVDS、BLVDSのうちの選択からスタンダードの伝送インターフェースを設計者が選択することを可能とする。

【0027】MCブロック631における回路ブロックの要約について以下に説明する。

【0028】回路ブロック

601: バッファ増幅器

バッファは、好適には、PMOS及びNMOSトランジスタから構成されるインバータとすることが可能である。PMOS/NMOSの寸法を変更することにより、CMOS又はTTL伝送条件を満足するためにスレッシュホールドを調節することが可能である。バッファは、又、更にノイズ免疫性を増加させるためにヒステリシスを設けることが可能である。

【0029】602, 603, 604, 605, 606: インバータ

50 入力信号と180°位相がずれた信号を提供する。

【0030】618, 619, 620, 621, 607, 608, 609, 610: スイッチ現在の適用例に対するスタンダードのインターフェースを選択するために使用される。

【0031】643, 627: スイッチ

抵抗623及び626を横断しての抵抗を否定するために選択されたインターフェーススタンダードがBLVDSである場合にターンオンされる。

【0032】614, 615, 616, 617: 選択可能な電流源

各スタンダードの条件を満足するように設計されている。例えば、614は2mAであり、615は3.45mAであり、616は4mAであり、617は8mAである。

【0033】611, 612, 613: 選択可能な電圧源

各スタンダードの条件を満足するように設計されている。例えば、611は1.25Vであり、612は1.2Vであり、613は1.3Vである。

【0034】623, 624, 625, 626: マッチング抵抗

選択したスタンダードに対する終端抵抗とマッチさせるために使用される。

【0035】630: オペアンプ

選択したスタンダードの V_{os} を満足させるために基準電圧を設定するために使用される増幅器である。

【0036】回路ブロックの機能を要約について以下に説明する。

【0037】詳細な回路説明

図6を参照すると、4本の制御線、即ちR, L, M, Bが設けられており、それらは、夫々、スタンダードRS DS、LVDS、ミニLVDS、BLVDSを選択する。選択したスタンダードに対する制御線を高ヘブル即ち移行することにより1つのスタンダードが選択される。残りの制御線は低のまま残存せねばならない。該制御線は、例えばマイクロコントローラ等の別の装置によって動作させることができあり、又は選択されたスタンダードのみが機能することを可能とさせるべくハードワイヤードさせることが可能である。1例として、Rが高ヘブルされたものと仮定する。このことは、NMOSトランジスタ610をスイッチオンさせ、そのことは選択された電圧源613の基準電圧(1.3V)をオペアンプ630の負端子に印加させる。同時に、 R_p がインバータ606によって低ヘブルされ、そのことはPMOSスイッチ621をターンオンさせる。このことは、カレントミラー617がターンオンすることを可能とし、そのことはミミック回路を介しての電流を正しいレベルに設定する(RS DSの場合には2mA)。

【0038】ミミック回路631のトランジスタ622のドレンからトランジスタ629のドレンへの電圧

50 消費。

降下は、駆動回路632におけるトランジスタ635のドレンからトランジスタ641のドレンへの電圧降下をミミック即ち模倣する。RS DS、LVDS、ミニLVDSの場合には、623, 624, 625, 626の全抵抗は、

$$R_a + R_b = R_{L1}$$

尚、 R_{L1} は駆動回路632の出力端子outとoutbを横断しての終端抵抗である。これは、典型的には、100Ωである。BLVDSの場合には、スイッチングト

10 ランジスタ643及び627は、制御線Bが高ヘブルされる場合に活性化される。このことは抵抗623及び626を短絡させ、それにより624及び625(R_b)のみが終端抵抗(典型的に、100Ω未満)と一致すべく残存する。

【0039】ミミック回路631はトランジスタ635によって供給される駆動電流の量及びトランジスタ641のシンク電流を確立する。635及び641のドレンにおける電圧は、夫々、オペアンプ633及び634の正端子へフィードバックされる。これらの電圧は各オペアンプ633, 634の負端子においてMC632によって設定された基準電圧と比較され、且つ633及び634の出力電圧はそれに従って調節され、それにより635及び641を介しての電流の量を制御し且つ635及び641のドレンにおけるノードを選択したスタンダードの差動スイッチ電圧と等価な一定の電圧に設定する。

【0040】図7を参照すると、本発明の別の実施例がより少ないコンポーネントを使用して同一の機能を提供している。新規なドライバ回路700の多数の特徴及び利点について以下に説明する。

【0041】幾つかの利点

A1) 4つのインターフェーススタンダード、即ちRS DS、LVDS、ミニLVDS、BLVDSの条件を満足する。

【0042】A2) 正確な V_{os} 設定—フィードバックループ用の直接的な V_{os} 測定を使用する。

【0043】A3) 安定なループ安定性—バイアストラシジスタが供給電流を共有する。

【0044】A4) 外部終端抵抗—内部抵抗一致条件がない。

【0045】A5) 設計容易性—一定電圧及び電流を発生するためにバンドギャップ回路が必要であるに過ぎない。それは容易に V_{oh} 、 V_{ol} 、 V_{os} 、 V_{od} 仕様を満足することが可能である。

【0046】A6) 信号スイッチングドリフト問題は存在しない。

【0047】A7) 1個の増幅器とその他僅かの付加的なコンポーネントを使用することに過ぎない。

【0048】A8) 低コンポーネント数のために低 I_{dd} 消費。

【0049】A9) 最適化した回路面積は低コストに通じる。

【0050】ドライバ回路700における回路ブロックの要約について以下に説明する。

【0051】回路ブロック

701: バッファ増幅器

バッファは、好適には、PMOS及びNMOSトランジスタから構成したインバータとすることが可能である。PMOS/NMOSの寸法を変更することにより、CMOS又はTTL伝送条件を満足させるためにスレッシュホールドを調節することが可能である。バッファは、又、更にノイズの免疫性を増加させるためにヒステリシスを設けることが可能である。

【0052】702, 703, 704, 705, 706: インバータ

入力信号に対して 180° 位相のずれた信号を供給する。

【0053】707, 708, 709, 710, 723, 724, 725, 726, 727, 728, 729, 730: スイッチ

現在の適用例に対してのスタンダードのインターフェースを選択するために使用される。

【0054】714: オペアンプ

選択したスタンダードの V_{os} を満足させるために基準電圧を設定するために使用される増幅器。

【0055】719, 720, 721, 722: 選択可能な電流源

各スタンダードの条件を満足すべく設計されている。例えば、719は2mAであり、720は3.45mAであり、721は4mAであり、722は8mAである。

【0056】715, 716, 717, 718: 選択可能な電流源

所要のスタンダード電流の100%未満を供給すべく設計されている。このことは、719, 720, 721, 722に対して不一致のマージン即ち余裕を残している。増幅器714は、増幅器が電流の100%を供給する代わりにその差を供給する。このことはループ安定性を増加させ且つ高速データ伝送に対してより小型で且つより高い帯域幅の増幅器を実現することを可能とする。

【0057】711, 712, 713: 選択可能な電圧源

各スタンダードの条件を満足すべく設計されている。例えば、711は1.25Vであり、712は1.2Vであり、713は1.3Vである。

【0058】735, 736: 抵抗

出力信号の V_{os} を抽出するために使用される。

【0059】731, 732, 733, 734: NMOSトランジスタ

差動信号を駆動するために使用される。

【0060】回路ブロックの機能の要約について以下に

説明する。

【0061】詳細な回路説明

図7を参照すると、4つの制御線即ちR, L, M, BLが設けられており、それらは、スタンダードRSDS、LVDS、ミニLVDS、BLVDSを夫々選択する。選択したスタンダードに対する制御線を高ヘブルすることによって1つのスタンダードが選択される。残りの制御線は低に止まらねばならない。これらの制御線は、例えばマイクロコントローラ等の別の装置によって動作させることができあり、又は選択されたスタンダードのみが機能することを可能とすべくハードワイヤードさせることができある。1例として、Rが高ヘブルされるものと仮定する。このことはNMOSトランジスタ710をスイッチオンさせ、そのことは電圧源713の基準電圧(1.3V)をオペアンプ714の正端子に印加させ、且つトランジスタスイッチ727をターンオンさせることによってカレントミラー719をイネーブルさせる。同時に、Rpがインバータ703によって低ヘブルされ、そのことはPMOSスイッチ723をターンオンさせる。このことはカレントミラー719をイネーブルさせ、そのことは該回路を介しての電流を正しいレベルに設定する(RSDSの場合2mAである)。カレントミラー715, 716, 717, 718は、選択したスタンダードに対して必要とされる電流の僅かに100%未満で動作すべく設計されている(例えば、80%)。このことは下部カレントミラー719, 720, 721, 722と上部カレントミラー715, 716, 717, 718との間でのミスマッチ即ち不一致を可能とさせる。オペアンプ714は残りの電流を供給する。このことはループ安定性を増加させ且つ高速データ伝送用により小型で且つより高い帯域幅の増幅器を実現することを可能とする。

【0062】トランジスタ731, 732, 733, 734が従来技術について説明したように差動信号を駆動するための電流操縦回路を与えている。一对の差動信号が output 端子上の出力信号outとoutbとの間の電圧レベルにおける差によって形成される。これら4個のスイッチ731, 732, 733, 734は入力信号A及びBによって制御される。A及びBは、典型的に、レールツーレール(rail-to-rail)の電圧スイッチであり、信号Aがインバータ702を介して通過する結果、信号Bは信号Aと 180° 位相がずれている。スイッチ731及び732のゲートが共通結合して入力信号Aを受取り、一方スイッチ733及び734は信号Bを受取る。入力Aが高であり且つBが低である場合には、電流がトランジスタ731、抵抗735及び736、トランジスタ732を介して流れ。Bが高であり且つAが低である場合には、電流の流れは逆転し、レシーバ端において反対の電圧降下を発生する。

【0063】Rsの値を有する2個の抵抗735, 73

6が出力端子outとout bとの間に直列に付加されている。中間点がオペアンプ714の負入力端へ接続されており且つ正入力端における3つの異なる電圧源711, 712, 713から選択した基準電圧と比較される。出力V_{os}が基準電圧より低い場合には、増幅器714はその差を補償するためにその出力電圧を上昇させてout及びout bをアップする。出力V_{os}がより高い場合には、出力電圧が低下される。R_s>>R_L(尚、R_Lは外部終端負荷抵抗である)であるようにR_s735, 736の値を設定することは、R_sが過剰にパワー即ち電力が消費することがないことを確保する。然しながら、その短絡電流のために、DCレベルは多少影響される。このDCシフトを補償するために、下部カレントミラー719, 720, 721, 722の電流は僅かにより高いものであることが必要である。

【0064】図8に示したように、回路700の出力波形においてドリフトの問題は存在しておらず、一方、従来技術では回路特性及び異なるプロセスコーナーVdd及び温度変化に依存してかなりのドリフトを有する場合がある。ノイズマージンも減少しておらず又アイパターにおける劣化も存在していない。

【0065】本発明は従来技術と比較して顕著な利点を提供している。従来システムにおいては、1つのインターフェーススタンダードのみがサポートされていた。然しながら、例えば高速データ伝送及び/又は高速ビデオ伝送システム等の新たな電子設計が毎日出現するに従い、本発明に基づく新たなドライバー126が必要とされ、それは上述したように多様なスタンダードインターフェースを介して高速信号を供給するための必要な新たな回路特徴及び機能を提供している。上述したように、この新たなドライバー126は、品質を増加させ且つこのような装置を製造する全体的なコストを減少させながら、本発明を組み込んだ装置に対して著しく改善したDCドリフト及びノイズ免疫性の性能を提供している。

【0066】好適実施例においては伝送インターフェーススタンダードを選択するためにトランジスタスイッチを使用しているが、このような機能は多様な代替的な手段によって実施することが可能であることを理解すべきである。このような実施例の1つは制御器とメモリとを具備するものであり、該制御器がインターフェーススタンダードを直接的に選択するための制御レジスタを含むものである。

【0067】以上、本発明の具体的実施の態様について

詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の变形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 本発明の好適実施例に基づく例示的なビデオ伝送システムの機能的ブロック図。

【図2】 RSDS、LVDS、ミニLVDS又はBLVDSインターフェーススタンダードを使用した典型的なポイントツーポイントコンフィギュレーションを例示した機能的ブロック図。

【図3】 RSDS、LVDS、ミニLVDS、BLVDSインターフェーススタンダードに対しての電圧及び電流条件を例示した表。

【図4】 RSDS、LVDS、ミニLVDS又はBLVDSインターフェースにおいて使用される従来のドライバ回路を示した概略図。

【図5】 図4の従来のドライバ回路の過渡的解析結果を示した概略図。

【図6】 本発明の好適実施例に基づく図1に示した例示的な多様性RSDS/LVDS/ミニLVDS/BLVDSドライバ回路を示した概略図。

【図7】 本発明の好適実施例に基づく図1に示した例示的な多様性RSDS/LVDS/ミニLVDS/BLVDSドライバ回路を示した概略図。

【図8】 本発明の好適実施例に基づく図7に示したような例示的な多様性RSDS/LVDS/ミニLVDS/BLVDSドライバ回路の過渡的解析結果を示した概略図。

【符号の説明】

125 ディスプレーリングドライバ

631 ミミック回路

632 駆動回路

601 バッファ増幅器

602, 603, 604, 605, 606 インバータ
618, 619, 620, 621, 607, 608, 609, 610 スイッチ

643, 627: スイッチ

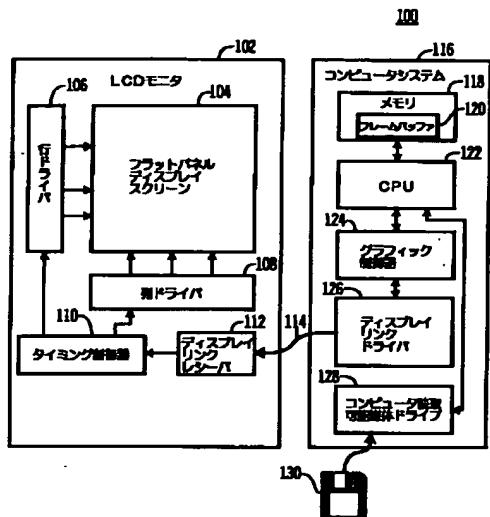
614, 615, 616, 617 選択可能な電流源

611, 612, 613 選択可能な電圧源

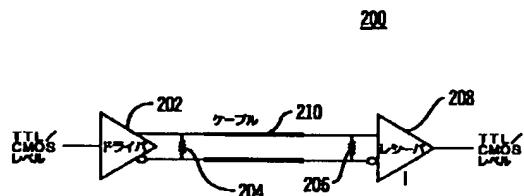
623, 624, 625, 626 マッチング抵抗

630: オペアンプ

【図1】



【図2】

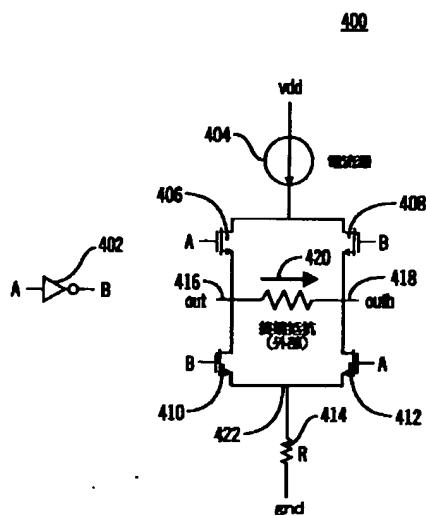


【図3】

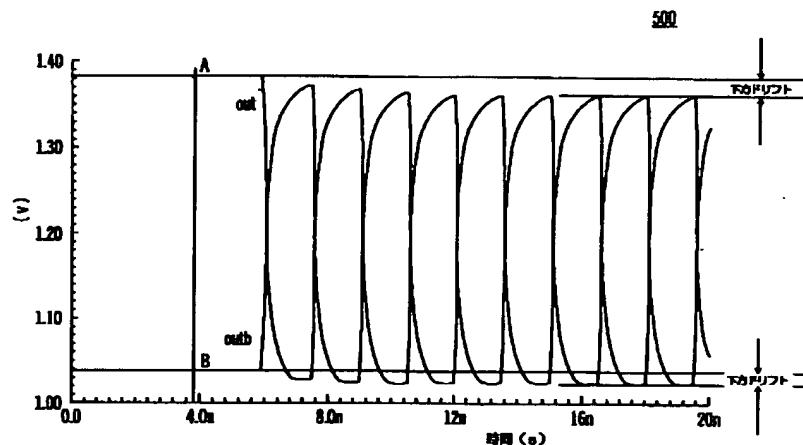
伝送インターフェーススタンダードに対する条件

	RSDS	LVDS	= LVDS	BLVDS
Vdd	200 mV	345 mV	400 mV	400 mV
Vss	1.3 V	1.25 V	1.2 V	1.25 V
Iout	2 mA	3.45 mA	4 mA	8 mA

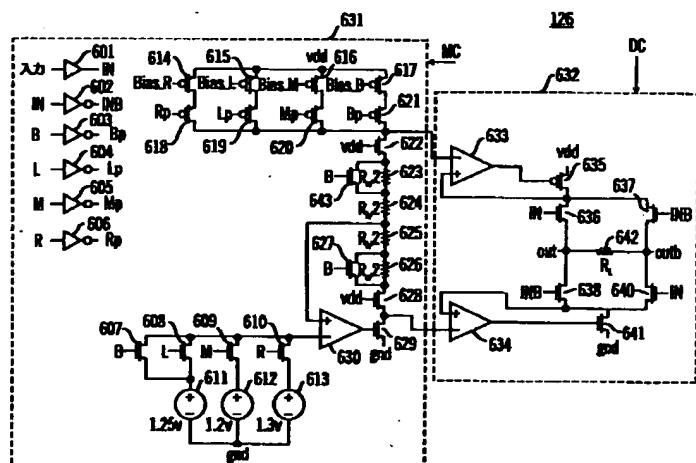
【図4】



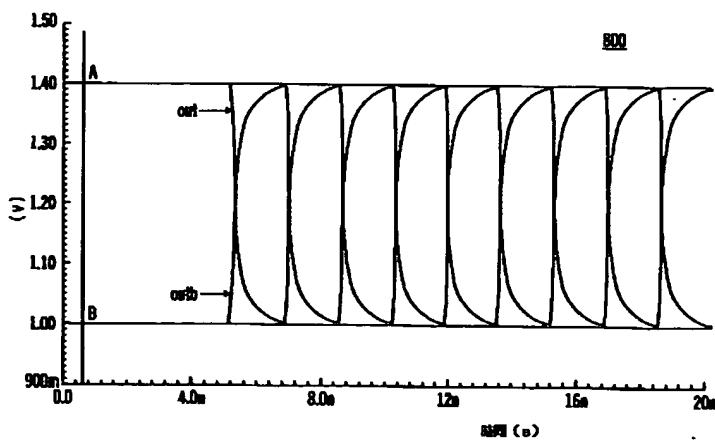
【図5】



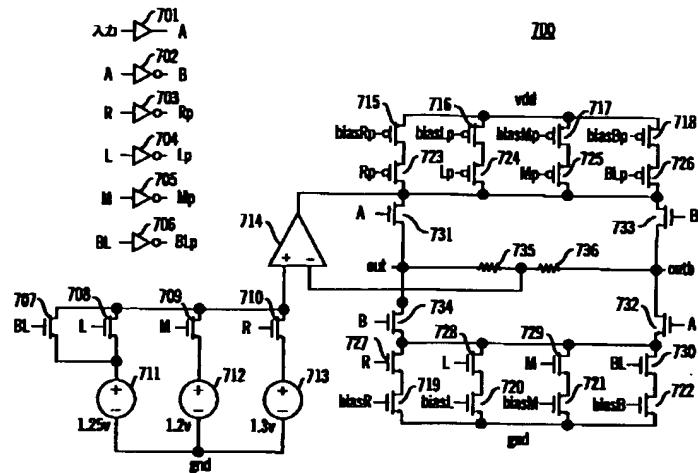
【図6】



【図8】



【図7】



フロントページの続き

(72)発明者 ジェームズ チョウ
アメリカ合衆国、カリフォルニア
94303、パロ アルト、モラガ コート 928

Fターム(参考) 5J056 AA11 BB21 BB58 CC01 CC02
CC10 DD00 DD13 DD29 EE06
EE08 EE15 FF09 GG10 KK01
5K029 AA18 AA20 BB03 CC01 DD04
DD24 GG07